

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-304108

(43)Date of publication of application : 16.11.1993

(51)Int.Cl.

H01L 21/28

H01L 29/784

(21)Application number : 04-131834

(71)Applicant : SONY CORP

(22)Date of filing : 24.04.1992

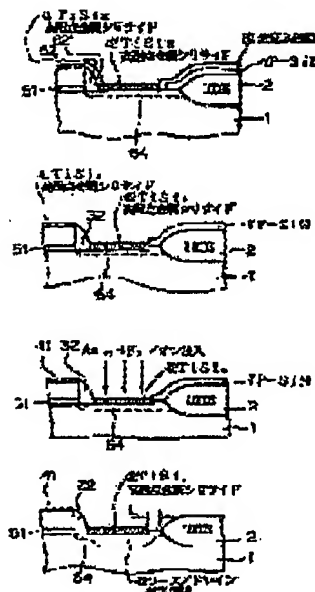
(72)Inventor : MIYAMOTO TAKAAKI

(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57)Abstract:

PURPOSE: To fabricate a semiconductor device having such structure as an insulating region is provided on a substrate and a metal silicide having high melting point is formed on the substrate wherein crystal defect is suppressed in the substrate and thereby leak current due to crystal defect is also suppressed.

CONSTITUTION: The semiconductor device has a substrate on which insulating regions and a metal silicide having high melting point are formed, wherein the metal silicide having high melting point is formed while being spaced apart from at least one insulating region. The method for fabricating the semiconductor device comprises a step for forming a silicide block part 7 on the periphery of at least one of insulating regions 2, 32, and a step for subsequently forming a metal silicide 42 having high melting point.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

발명은 공개특허이므로 청구 504108로 하는 것이다.

(19)日本国特許庁(J P)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-304108

(43)公開日 平成5年(1993)11月16日

(51)Int. Cl.⁵H 01 L 21/28
29/784

識別記号

3 0 1 T 7738-4M

7377-4M

7377-4M

F I

H 01 L 29/ 78

3 0 1 S

技術表示箇所

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号

特願平4-131834

(22)出願日

平成4年(1992)4月24日

(71)出願人 000902185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者

宮本 孝雄

東京都品川区北品川6丁目7番35号

ソニ

ー株式会社内

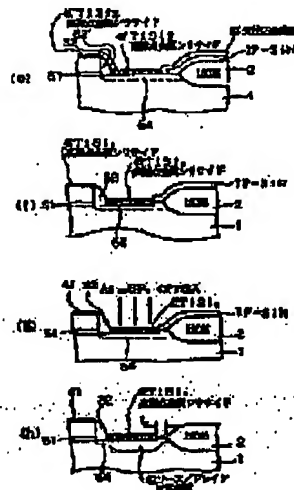
(74)代理人 弁理士 高月 亨

(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【要約】 (修正有)

【目的】 基板上に絶縁領域を有するとともに、基板上に高融点金属シリサイドを形成した半導体装置について、基板の結晶欠陥発生を低減し、これが原因となるリーク電流等の低減をはかることができる半導体装置の構造を提供し、またその製造方法を提供する。

【構成】 基板上に絶縁領域と高融点金属シリサイドを形成した半導体装置において、高融点金属シリサイドは、絶縁領域の少なくともいずれかと隣接して形成した半導体装置。絶縁領域2、31、32の少なくともいずれかの周辺にシリサイド形成阻止部7を形成し、その後高融点金属シリサイド42を形成する、基板上に絶縁領域と高融点金属シリサイドを形成した半導体装置の製造方法。



【特許請求の範囲】

【請求項 1】 基板上に絶縁領域を有するとともに、基板上に高融点金属シリサイドを形成した半導体装置において、

前記高融点金属シリサイドは、前記絶縁領域の少なくともいずれかと隣接して形成されることを特徴とする半導体装置。

【請求項 2】 基板上に絶縁領域を有するとともに、基板上に高融点金属シリサイドを形成した半導体装置の製造方法において、

絶縁領域の少なくともいずれかの周辺にシリサイド形成阻止部を形成し、その後高融点金属シリサイドを形成することを特徴とする半導体装置の製造方法。

【請求項 3】 前記高融点金属シリサイドは、基板上に形成したシリコン化合物薄膜上に金属膜を形成して処理することにより形成することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置及び半導体装置の製造方法に関する。本発明は、LSI などの他の各種半導体装置について利用することができる。

【0002】

【従来の技術】 従来より半導体装置は、一般に、基板上に絶縁領域を有する構造をとっている。例えば、図 3 に示す半導体装置は、シリコン基板 1 上に、ポリシリコン等からゲート 5 が形成され、またシリコン基板 1 に不純物拡散領域であるソース 81 及びドレイン 82 が形成されて、素子が構成されているが、このような素子間を分離するために、LOCOS と呼ばれる素子分離領域としての絶縁領域 2 が形成されている。かつ、図 3 の例では、低温度不純物拡散領域を形成していわゆる LDD 構造をとるため、ゲート 5 の側壁にサイドウォールとしての絶縁領域 31、32 が形成されている。このように、何らかの形で基板 1 上に絶縁領域（図 3 の 2、31、32 等）が形成されるのが通常である。

【0003】 ところがこのように基板上に絶縁領域が形成される構造には、いくつかの問題点がある。まず、図 4 に示すように、素子分離のための LOCOS である絶縁領域 2 については、この領域 2 の形成の際、この領域 2 の端部にどうしてもストレスがかかり、基板 1 に結晶欠陥が生じる（図 4 中、かかる結晶欠陥を模式的に符号 1a で示す）。この結晶欠陥は、リークの発生をもたらし、

【0004】 一方近年、基板上に高融点金属シリサイド膜を形成する技術が注目されている。特に、LSI 等の高集積化に伴い、ソース/ドレイン領域の寄生抵抗やコンタクト抵抗を低減させる方法の一つとしてゲート電極及びソース/ドレイン領域上に高融点金属を堆積させ、熱処理等により下地ゲート電極及びソース/ドレイン領

域等の Si と高融点金属を反応させ、自己整合的にゲート電極及びソース/ドレイン領域上に高融点金属シリサイドを成長させるシリサイド（SALICIDE: Self-Aligned Silicide）技術が注目されており、中でもチタンシリサイド（TiSi₂）が高融点金属シリサイド中、最も低い抵抗率（15μΩ-cm）を有し、自然酸化膜を還元する能力があるため、チタンシリサイドを利用したチタンシリサイド技術が注目されている。しかしこの高融点金属シリサイド形成技術を適用すると、上記した問題は、一層重要になる。

【0005】 即ち、図 4 に示すように基板 1 上にチタンシリサイド等の高融点金属シリサイド 4 を形成すると、このシリサイドを作ることによってもストレスが発生し、このときのストレスによって上述した基板 1 の結晶欠陥 1a の発生が更に助長される。

【0006】 また、次のような背景もある。LSI の高集積化に伴い、拡散層の接合深さはより浅くなる傾向にある。上記チタンシリサイド技術に代表される高融点金属シリサイド形成技術では、一般に、チタン等と下地ソース/ドレイン拡散層領域の Si との固相反応にてチタンシリサイドを形成するため、拡散層が浅い場合、高融点金属シリサイド（チタンシリサイド等）の成長が、よりソース/ドレイン拡散層と Si 基板間の接合に達していく。この結果、高融点金属シリサイド成長時のストレス変化により、この接合部分近傍の Si 基板 1 に結晶欠陥が入り、よって図 4 の符号 1a で示す部分に欠陥が集中し、この接合部分にてリーク電流が増大する欠陥がある（これについては、プレスジャーナル社 Semi conductor World ' 81 年 12 月号の 204 頁を参照）。

【0007】 なお、上記ストレス変化は、チタンシリサイドについて言えば、その成長時に 600～700℃ の熱処理によりチタンシリサイド結晶が固 定安定な C54 構造から不安定な C54 構造に相変化するときに生ずるストレス変化である（C 81 年 4 月 27 日 第 727 頁参照）。

【0008】 同様に上記結晶欠陥にまつリーク電流は、上述したように、もともと Si 基板中に結晶欠陥が多く、かつチタンシリサイド等の成長が拡散層と基板間接合に最も近づく見地から、即ち素子分離領域（LOCOS）や LDD サイドウォール等の絶縁領域の周辺部にて発生しやすい。

【0009】

【発明の目的】 本発明は上記問題点を解決し、基板上に絶縁領域を有するとともに、基板上に高融点金属シリサイドを形成した半導体装置について、基板の結晶欠陥発生を低減し、これが原因となるリーク電流等の低減をはかることができる半導体装置の構造を提供し、またその製造方法を提供することを目的とする。

【0010】

【問題点を解決するための手段】 本発明の請求項 1 の発

明は、基板の上に絶縁領域を有するとともに、基板の上に高融点金属シリサイドを形成した半導体装置において、前記高融点金属シリサイドは、前記絶縁領域の少なくともいずれかと隣接して形成されることを特徴とする半導体装置であって、これにより上記目的を達成するものである。

【0011】本発明の請求項2の発明は、基板の上に絶縁領域を有するとともに、基板の上に高融点金属シリサイドを形成した半導体装置の製造方法において、絶縁領域の少なくともいずれかの周辺にシリサイド形成阻止部を形成し、その後高融点金属シリサイドを形成することを特徴とする半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0012】本発明の請求項3の発明は、前記高融点金属シリサイドは、基板の上に形成したシリコン化合物膜上に金属膜を形成して処理することにより形成することを特徴とする請求項2に記載の半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0013】本発明は、例えばシリサイドプロセスにおいて、シリサイドの成長が拡散層/基板間接合に近づくにつれてかつともとも基板に欠陥の多い絶縁領域部分である素子分離領域やLDDサイドウォール周辺部を、窒化シリコン(SiN)膜を形成してシリサイド形成阻止部としてこれにて保護した後、シリサイドを成長させる過程で実施することができる。

【0014】シリサイド膜としては、チタンシリサイド(TiSi₂)、コバルトシリサイド(CoSi₂)、ニッケルシリサイド(NiSi₂)、タングステンシリサイド(WSi₂)、モリブデンシリサイド(MoSi₂)、白金シリサイド(PtSi₂)等を形成することができる。

【0015】本発明の構成について、後記詳述する本発明の実施例を示す図1の例示を参照して説明すると、次のとおりである。

【0016】本発明の半導体装置は、図1(h)に例示のように、基板1上に絶縁領域2、32(図示例において、2は素子分離領域であるLOCOS、32はLDD形成用のサイドウォール)を有するとともに、基板1上に高融点金属シリサイド4(図示例ではTiSi₂)を形成した半導体装置であって、高融点金属シリサイド4は、絶縁領域2、32の少なくともいずれかと、図示例では絶縁領域2、32の内絶縁領域2と隣接して(即ち図のしだけ距離を置いて)形成されるものである。

【0017】本発明の半導体装置の製造方法は、図1(a)~(h)に例示するように、絶縁領域2、31、32の少なくともいずれか(図示例では絶縁領域2)の周辺にシリサイド形成阻止部7を形成し(図1(b))、その後高融点金属シリサイドを形成し(図1(f))、これにより図1(h)に例示のような基板1上に絶縁領域2、32を有するとともに、基板1上に高融点金属シリ

サイド4を形成した半導体装置を得るものである。

【0018】高融点金属シリサイド4は、図1(c)に例示のように、基板1上に形成したシリコン化合物膜上81a、81b(図示例ではSiO₂膜)上に、図1(d)に例示のごとく金属膜82(図示例ではTi膜)を形成して処理することにより形成して図1(f)に例示のようにすることは、好ましい態様である。

【0019】このように、シリコン化合物膜上に金属膜を形成して金属シリサイド膜を得る技術は、本出願人において提案をなしたものであり、得られた金属シリサイド膜構造は、SITOX(Giliodation Through Oxide)構造と称している。これについては、本出願人の特許第2-140840号公報や、同2-260630号公報、また、JEDMS9(1990 IEEE)29~252頁のHirofumi Guai他、「New Silicidation Technology by SITOX (Giliodation Through Oxide) and Its Impact on Sub-half Micron MOS Devices」に詳しい記載がある。

【0020】この場合、シリコン化合物膜を形成するシリコン化合物としては、この上に金属膜を形成して金属シリサイド膜を形成し得るものなら任意であり、例えばSiO₂等のシリコン酸化物膜や、Si₃N₄等の窒化シリコン膜などを用いることができる。シリコン化合物膜の膜厚を30~300Åとすると、熱処理等によりシリサイド化が容易なので、好ましい。

【0021】

【作用】本発明によれば、絶縁部である例えば素子分離領域やLDDサイドウォール周辺部にシリサイド成長が延びることが防がれ、シリサイド成長時のストレスにより誘起される基板結晶欠陥の発生が低減され、これらが原因となる拡散層と基板間の接合リーク電流の発生等が低減される。

【0022】

【実施例】以下本発明の実施例について図面を参照して説明する。但し当然のことであるが、本発明は実施例により限定を受けるものではない。

【0023】実施例1

この実施例は、本発明を、微細化・集積化したLSIについて具体化したものである。本実施例における半導体装置の製造方法を、図1(a)~(h)に工程順に示す。

【0024】本実施例はソース/ドレイン領域の寄生抵抗低減を重視し、シリサイド形成部を多くするため、絶縁領域の内素子分離領域周辺部のみSiN膜にて保護して、シリサイド形成を阻止したものである。

【0025】本実施例においては、以下に具体的に示すプロセス(1)~(8)に従って、実施した。図1を参照する。

【0026】(1) Si基板1上に素子分離領域(LOCOS)を形成する。これが絶縁領域2に該当する。ま

たポリシリコンにてゲート領域5を形成する。なお51でゲート酸化膜を示す。その後、LDD形成イオン注入を行い、LDDイオン注入領域63, 64を形成し、更に酸化膜を堆積させエッチバックして絶縁領域31, 32に該当するLDDサイドウォールをゲート領域5の側壁に形成する。これにより図1(e)の構造を得る。

【0027】(2)基板全面にプラズマCVD-SiN膜を全面成長させた後、レジスト工程により、絶縁領域2である素子分離領域周囲のみSiN膜を残し、即ちゲート及びソース/ドレイン領域にてチタンシリサイドを成長させようとする部分のSiNをエッチングして、図1(b)に示すように、SiN膜によるシリサイド化形成阻止部7を形成した構造とする。ここで、SiNのCVD条件及びエッチング条件は、下記のとおりとした。

(プラズマCVD-SiN膜堆積条件)

温度: 400℃

圧力: 0.00Pa

使用ガス系: SiH₄/NH₃/N₂ = 290/1700/1000sccm

(SiNエッチング条件)

使用ガス系: CHF₃ = 80sccm

圧力: 0.7Pa

【0028】(3)次にシリコン化合物膜81a, 81bを形成する。ここでは、850℃でのドライ酸化にてゲート、ソース/ドレイン領域にてチタンシリサイドを成長させようとする部分に5nmの酸化膜(SiO₂膜)を形成して、シリコン化合物膜81a, 81bとした。これにより図1(d)の構造とした。この工程の酸化条件は次のとおりである。

酸化条件: O₂流量 = 10リットル/分、10分間

【0029】(4)次に高融点金属として、Tiを30nm堆積させる。これにより図1(d)に示すように、金属膜82(Ti膜)を形成した構造を得る。Tiの堆積条件は次のとおりとした。

(Ti堆積条件)

RFバイアス: 50W

DC: 500W

圧力: 0.4Pa

使用ガス系: Ar = 40sccm

【0030】(5)その後熱処理し、特に650℃で30分間、Ar雰囲気中でアニールするRTA(Rapid Thermal Anneal)を行い、金属膜82をなすTiと、下地シリコン化合物膜81a, 81bのSiとの固相反応にて、TiSi₂化し、高融点金属シリサイド41', 42'を形成する。シリコン化合物膜81a, 81bが反応しなかった部分ではTiが未反応で残り、特に、シリサイド形成阻止部7であるSiN上では、未反応高融点金属膜82'として未反応Tiが残り、図1(e)のような構造となる。

【0031】(6)類った金属膜82'であるTi、特に、シリサイド形成阻止部7であるSiN膜上の未反応Ti

をアンモニア過酸化水素混合液にてエッチングした後、900℃で30分間、酸素雰囲気中にてアニールし、TiSi₂をストイキオメトリ(化学量論的に安定)なTiSi₂とし、安定な高融点金属シリサイド41, 42を形成して、図1(f)の構造を得る。

【0032】(7)次に、高融点金属シリサイド42であるソース/ドレイン領域上のこのTiSi₂にBF₂をドーピング1E15/cm²で、あるいはAsをドーピング3E15/cm²でイオン注入する(図1(g))。

【0033】(8)次に140℃に加熱したリン酸(H₂PO₃)にてシリサイド形成阻止部7として用いたSiN膜をエッチング除去する。その後、1100℃で10分、酸素雰囲気中にてアニールを行い、高融点金属シリサイド(TiSi₂)中からの下地Si基板1へのドーパントの拡散により、ソース/ドレイン領域を形成する。これにより図1(h)の構造の半導体装置が得られる。

【0034】上記では、シリサイド化阻止部7をなすP-SiN膜は除去するようにしたが、これはそのまま残しておいてもよい。

【0035】実施例2

図2(a)~(e)に、実施例2の工程を示す。この実施例は、絶縁領域2である素子分離領域及び絶縁領域31, 32であるLDDサイドウォールの両側面とも、SiN膜にて保護し、シリサイド化を阻止したものである。

【0036】以下に具体的なプロセス(1)~(4)を示す。

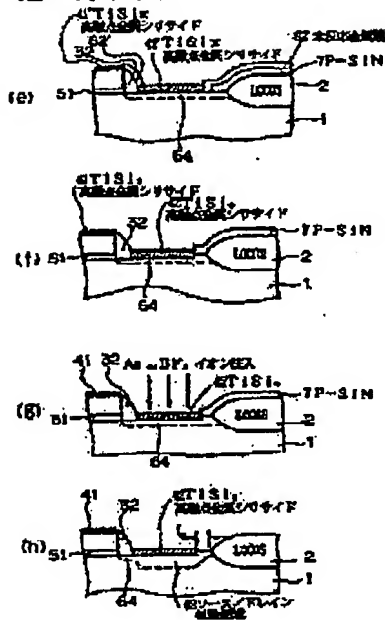
(1)実施例1と同様、絶縁領域2である素子分離領域(LDD領域)、及びポリシリコンにてゲート領域5を形成した後、LDD形成イオン注入を行い、酸化膜を堆積させ、絶縁領域31, 32であるLDDサイドウォールを形成する。次にソース/ドレインを形成すべき領域にBF₂をドーピング3E15/cm²で、あるいはAsをドーピング3E15/cm²でイオン注入し、1100℃で、10分、酸素雰囲気中にてアニールを行い、ドーパントを活性化させ、ソース/ドレイン(8/9)領域61, 62を形成する。これにより図2(a)の構造とする。

【0037】(2)基板全面にプラズマCVD-SiN膜を全面成長させた後、絶縁領域2である素子分離領域及び絶縁領域31, 32であるLDDサイドウォール周囲のみSiN膜を残し、即ちゲートの及びソース/ドレイン(8/9)領域にてチタンシリサイドを成長させようとする部分のSiNをエッチングして、図2(b)に示すようにシリサイド化阻止部71, 72を形成する。

【0038】(3)次に実施例1と同じように、850℃でのドライ酸化にてゲート、ソース/ドレイン(8/9)領域のチタンシリサイドを成長させようとする部分に、5nmの酸化膜を形成し、これをシリコン化合物膜81a, 81bとして、図2(c)の構造とする。

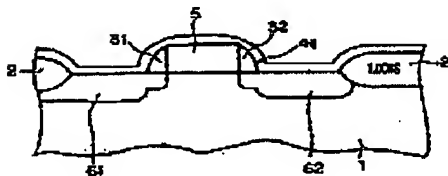
PAGE 17/18 * RCVD AT 1/24/2005 6:10:20 PM [Eastern Standard Time] * SVR:USPTO-EFXRF-1/1 * DNIS:8729306 * CSID:5032744622 * DURATION (mm:ss):05:48

【図 1 (その2)】



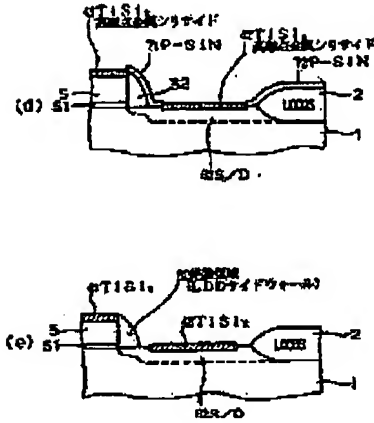
【図 3】

実施例



【図 2 (その2)】

実施例 2 の TIS



【図 4】

実施例 3 の TIS

